

High data density RISC processor

Publication number: TW452693 (B)

Publication date: 2001-09-01

Inventor(s): KILLIAN EARL A [US]; GONZALEZ RICARDO E [MX]; DIXIT ASHISH B [US]; LAM MONICA [US]; LICHTENSTEIN WALTER D [US] +

Applicant(s): TENSILICA INC [US] +

Classification:

- international: G06F9/30; G06F9/305; G06F9/308; G06F9/315; G06F9/32; G06F9/34; G06F9/38; G06F9/30; G06F9/305; G06F9/308; G06F9/315; G06F9/32; G06F9/34; G06F9/38; (IPC1-7): G06F13/00

- European: G06F9/30T

Application number: TW19990119754 19991210

Priority number(s): US19980192395 19981113

Also published as:

WO0029938 (A1)
US6282633 (B1)
JP2006185462 (A)
JP2003521753 (T)
EP1129402 (A1)

more >>

Abstract of TW 452693 (B)

A RISC processor implements an instruction set which, in addition to optimizing a relationship between the number of instructions required for execution of a program, clock period and average number of clocks per instruction, also is designed to optimize the equation $S=IS * BI$, where S is the size of program instructions in bits, IS is the static number of instructions required to represent the program (not the number required by an execution) and BI is the average number of bits per instruction. Compared to conventional RISC architectures, this processor lowers both BI and IS with minimal increases in clock period and average number of clocks per instruction. The processor provides good code density in a fixed-length high-performance encoding based on RISC principles, including a general register with load/store architecture. Further, the processor implements a simple variable-length encoding that maintains high performance.

Data supplied from the *espacenet* database — Worldwide

中華民國專利公報 [19] [12]

[11]公告編號: 452693

[44]中華民國 90年 (2001) 09月01日

發明

[51] Int.Cl. 08: G08F13/00

全 6 頁

[54]名稱: 高資料密度精簡指令集電腦處理器

[21]申請案號: 088118754

[22]申請日期: 中華民國 88年 (1999) 12月10日

[30]優先權: [31]09/192,395

[32]1998/11/13

[33]美國

[72]發明人:

愛爾 A. 其林

美國

瑞加多 B. 剛蘇洛茲

美國

亞敏蘇 B. 迪斯特

美國

蒙尼卡·萊姆

美國

[71]申請人:

登西里卡公司

美國

[74]代理人: 傅敏群 先生

陳文郎 先生

瓦特 D. 里曲斯頓

美國

克里斯多夫·羅汪

美國

約翰 C. 魯登柏格

美國

羅伯特 P. 威爾森

美國

1

[57]申請專利範圍:

1.一種處理器,包含:

至少十六個一般用途暫存器:

用以存取一記憶體以與該等暫存器交換資料之裝置,及

一用以處理來自該記憶體之指令的運算單元,實質上所有的該等指令具有一不超過 28 個位元之長度;

其中該等指令中之至少一個具有一運算碼欄位、一對該指令指定一常數運算子之欄位、一能夠指定該等一般用途暫存器中的任何一個做為一來源暫存器的來源暫存器欄位、及一能夠指定該等一般用途暫存器中的任何一個做為一目的暫存器的目的暫存器欄位;

該等指令中的至少一個具有一運算碼欄位、多個各可指定該等一般用途暫存器中的任何一個做為來源暫存器之來源暫存器欄位、及一能夠指定該等一般用途暫存器中的任何一個做為一

2

目的暫存器的目的暫存器欄位;

該等指令中的至少一個使該運算單元去執行複數個複合運算,該等運算中的第一個是一第一算術及一邏輯運算中的一個,及該等運算中的第二個是一第二算術運算及一條件式分支運算中的一個。

2.如申請專利範圍第 1 項所述之處理器,其中:

10. 該等指令包括一具有一相同的第一固定指令長度之第一群指令及一具有與該第一固定指令長度不同之一相同的第二固定指令長度之第二群指令;及在一為兩群指令所共有之運算碼欄位中的一給定位元欄位指定具有該位元欄位之一指令所屬的一群指令。

3.如申請專利範圍第 1 項所述之處理器,其中該等運算中的第一個是比較由指令中之來源暫存器欄位指定之暫存器值,而該等運算中的第二個是一回應

該比較運算之一結果的分支動作。

- 4.如申請專利範圍第1項所述之處理器，其中該等運算中的第一個是將由一來源暫存器欄位指定的一個暫存器之內容作邏輯向左移位，且該等運算中的第二個是就該被移位暫存器內容及另一來源暫存器值作算述運算。
- 5.如申請專利範圍第1項所述之處理器，其中該等運算中的第一個是將由一來源暫存器欄位指定之一暫存器的內容作邏輯向右移位，且該等運算中的第二個是就該移位之一結果與由指令的一常數欄位指定的一個值作邏輯 AND 運算。
- 6.如申請專利範圍第1項所述之處理器，其中：
 - 至少一指令導致該處理器去執行在第一指令位址開始之指令直至到達一第二指令位址為止，然後繼續在該第一位址再次執行，並重覆由被該指令之一來源暫存器欄位指定之一來源暫存器的內容決定之一些次數。
- 7.如申請專利範圍第1項所述之處理器，其中該處理器包括至少一具有一在查閱表中指定一常數值的常數欄位之指令。
- 8.如申請專利範圍第1項所述之處理器，更包含：
 - 多個特殊用途暫存器；及
 - 用以存取該等特殊用途暫存器以與一協同處理器交換其中之資料的裝置；
 - 其中該等指令中之至少一個是一回應在一特殊用途暫存器中為一預設值之資料的條件式分支。
- 9.如申請專利範圍第8項所述之處理器，其中：
 - 該等特殊用途暫存器是單一位元暫存器；及
 - 用以存取之該裝置更用於在該等單一位元暫存器與多個協同處理器之間交

換資料。

- 10.如申請專利範圍第1項所述之處理器，更包含：
 - 一特殊用途暫存器；及
 - 狀態指示裝置，用以選擇性指出對該特殊用途暫存器之一寫入動作執行尚未完成、及所有未定的特殊用途暫存器寫入動作之執行已經被完成；
- 10.其中該指令集包括一導致該運算單元延遲後來的指令之執行直到該狀態指示裝置指出所有未定的寫入動作之執行已經被完成時為止的指令。
- 11.一種處理器，包含：
 - 多個儲存資料在其中的暫存器；
 - 用以存取一記憶體以在該記憶體及暫存器之間交換資料之裝置；及
 - 用以執行來自該記憶體之指令以處理儲存在該等暫存器中之資料的運算裝置；
- 20.其中複數個指令具有多個暫存器欄位，每一暫存器欄位至少四位元寬；該等指令包括以不多於二十八位元被編碼之一載入、一儲存、一相等狀況條件式分支、一不相等狀況條件式分支、及一算術運算中的至少一個；
- 25.該運算裝置是用以回應執行一載入指令之動作，將資料由一對應由該指令之一來源暫存器欄位指定的一個暫存器及該載入指令之一常數欄位之內容的一個總和之記憶體位置，載入由該載入指令之一目的暫存器欄位的內容所指定之一暫存器；
- 30.該運算裝置是用以回應執行一儲存指令之動作，把來自由該儲存指令之一第一來源暫存器欄位的內容所指定之一暫存器的資料，儲存到對應於由該儲存指令之一第二來源暫存器欄位指定之一暫存器及該儲存指令之一常數欄位內容之一總和之一記憶體位置中；
- 35.
- 40.

該運算裝置是用以回應執行一相等狀況條件式分支指令之動作，在由該相等狀況條件式分支指令指定之二暫存器的內容相等時，依序執行來自該記憶體而由對應於由該相等狀況條件式分支指令指定之一相對偏移值之一位置開始之一些指令；

該運算裝置是用以回應執行一不相等狀況條件式分支指令之動作，在由該不相等狀況條件式分支指令指定之二暫存器的內容不相等時，依序地執行來自記憶體而由對應於由該不相等狀況條件式分支指令指定之一相對偏移值之一位置開始之一些指令；以及該運算裝置是用以回應執行一算術指令之動作，對由該算術指令的個別來源暫存器欄位指定之多個暫存器的內容執行一算術運算，並儲存其一結果在一由該算術指令的一目的暫存器欄位指定之暫存器中。

12. 如申請專利範圍第 11 項所述之處理器，其中：

該等載入、儲存、相等狀況條件式分支、不相等狀況條件式分支、及算術指令中的每一個之一來源暫存器欄位相對於每一指令之邊界係位於相同位置；及

該等儲存、相等狀況條件式分支、不相等狀況條件式分支及算術指令之一額外的來源暫存器欄位相對於每一指令之邊界係位於相同位置。

13. 如申請專利範圍第 12 項所述之處理器，其中該運算裝置更用以回應執行一迴路指令之動作一次，執行其他指令許多次。

14. 如申請專利範圍第 13 項所述之處理器，其中：

該等載入、儲存、相等狀況條件式分支、不相等狀況條件式分支及算術指令每一個都被以一相同的第一固定長

度編碼；及

該運算裝置回應各以一比該第一固定長度短之相同的第二固定長度被編碼之一短的載入、一短的儲存、一短的相等狀況條件式分支、一短的不相等狀況條件式分支及一短的算術指令中之每一個的執行動作，完成該等個別載入、儲存、相等狀況條件式分支、不相等狀況條件式分支及算術指令之一相對應運算。

15. 如申請專利範圍第 13 項所述之處理器，其中：

該運算裝置包括一指出在一暫存器檔案中之一群暫存器的窗口基底暫存器；及

該運算裝置更用以在該暫存器檔案中將該群暫存器窗口化，使得該等暫存器欄位指出與在一群暫存器中之一個窗口相關的暫存器。

20. 16. 如申請專利範圍第 15 項所述之處理器，其中一窗口基底暫存器相對增量係由一副常式呼叫指令中之一常數所指定。

17. 一種處理器，包含：

25. 多個儲存資料在其中的暫存器；用以存取一記憶體以在該記憶體與該等暫存器之間交換資料之裝置；及用以執行來自該記憶體之指令以處理儲存在該等暫存器中之資料的運算裝置；

30. 其中該等指令的每一個皆少於三十二位元寬，且複數個該等指令具有多個來源暫存器欄位及一目的暫存器欄位，該等暫存器欄位的每一個至少是四位元寬；

35. 該運算裝置是用以回應執行一載入指令之動作，將資料由對應於由該指令之一來源暫存器欄位指定之一暫存器及該指令之一常數欄位之內容之一總和的一記憶體位置，載入該載入指令

的一目的暫存器欄位所指定之一暫存器；
 該運算裝置是用以回應執行一儲存指令之動作，把來自該指令之一第一來源暫存器欄位所指定之一暫存器之資料，儲存到對應於由該指令之一第二來源暫存器欄位指令的一個暫存器及該指令之一常數欄位之內容的總和之一記憶體位置中；及
 該運算裝置是用以回應執行一條件式分支指令之動作，完成一測試及，假如該測試之一結果為真，依序地執行來自該記憶體而由對應於由該條件式分支指令指定之一相對偏移值之一位置開始之一些指令，該測試係從包含下列狀況之一第一組群中選出：
 兩個來源暫存器的內容相等，
 兩個來源暫存器的內容不相等，
 兩個來源暫存器之逐位元邏輯 AND 等於零，
 兩個來源暫存器之逐位元邏輯 AND 不等於零，
 一由一第二來源暫存器之內容指定的第一來源暫存器之內容的一位元是零，
 一由一第二來源暫存器之內容指定的第一來源暫存器之內容的一位元是一，
 一由該指令之一欄位指定的來源暫存器之內容的一位元是零，
 一由該指令之一欄位指定的來源暫存器之內容的一位元是一，
 一由該指令之一欄位指定的第一來源暫存器之內容比一第二來源暫存器之內容小二之補數，
 一由該指令之一欄位指定的第一來源暫存器之內容比一第二來源暫存器之內容大二之補數或與之相等，
 一由該指令之一欄位指定的第一來源暫存器之內容無符號地小於一第二來

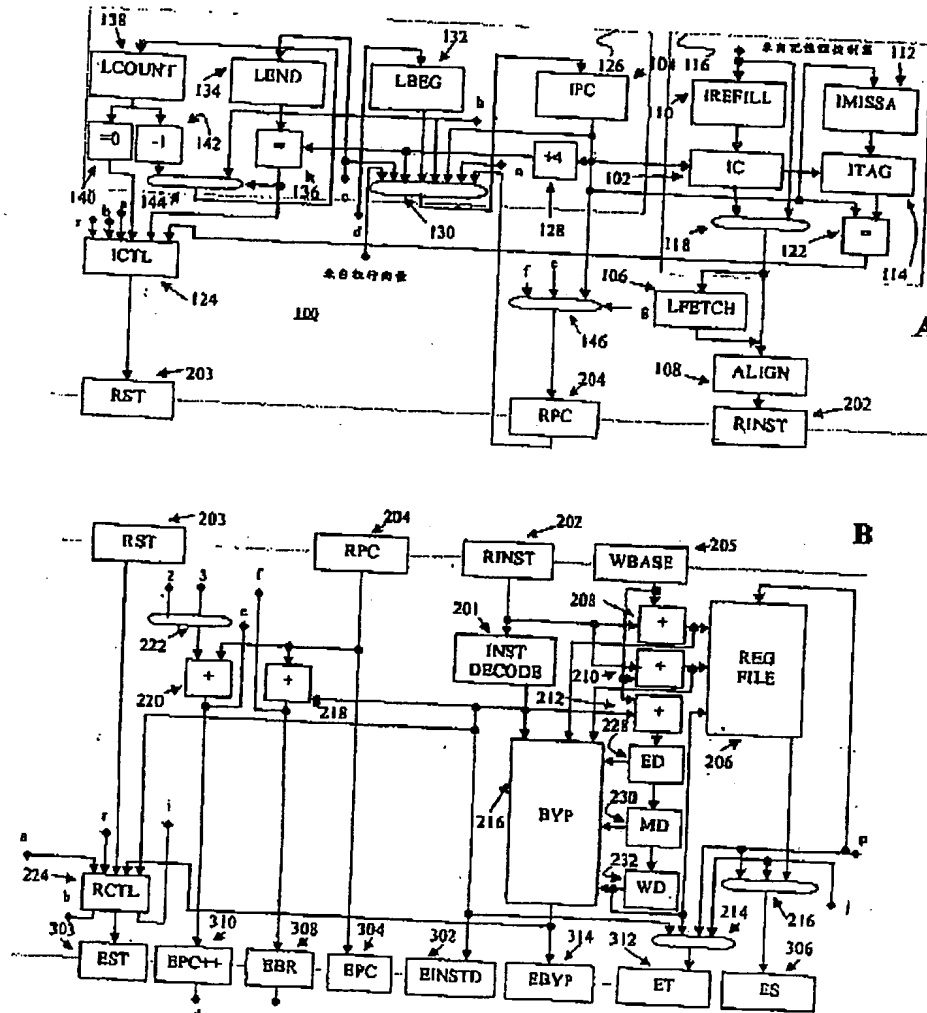
- 源暫存器之內容，
 一由該指令之一欄位指定的第一來源暫存器之內容無符號地大於或等於一第二來源暫存器之內容，
 5. 該指令之一來源暫存器及一常數欄位之內容相等，
 該指令之一來源暫存器及一常數欄位之內容不相等，
 一來源暫存器的內容比該指令之一常數欄位小二之補數，
 10. 一來源暫存器的內容比該指令之一常數欄位大二之補數或與之相等，
 一來源暫存器的內容無符號地小於該指令之一常數欄位，及
 15. 一來源暫存器的內容無符號地大於該指令之一常數欄位，
 18. 如申請專利範圍第 17 項所述之處理器，其中該測試是從該第一組群及包含下列狀況之一第二組群中之一組群中選出：
 20. 一來源暫存器的內容是零；
 一來源暫存器的內容是非零；
 一來源暫存器的內容比零小二之補數；及
 25. 一來源暫存器的內容比零大二之補數；
 其中每一個針對零所作之比較動作指定一用以指定一分支目標之偏移量，該偏移量大於一將一來源暫存器與一非零參數比較之相對應指令的偏移量。
 30. 19. 如申請專利範圍第 18 項所述之處理器，其中包含一來源暫存器與該指令之一常數欄位的一個比較動作之測試，參照由該欄位值在一查閱表中指定之一位置形成該常數。
 35. 20. 如申請專利範圍第 19 項所述之處理器，其中所有指令都小於三十二位元長。
 40. 21. 如申請專利範圍第 20 項所述之處理器，

該等指令包括以較少位元編碼並使用一比相對應之條件式分支指令短的相對偏移量欄位之條件式分支指令，及包括一種為一來源暫存器的內容是零及一來源暫存器的內容是非零二種狀

況之其中一個的測試。

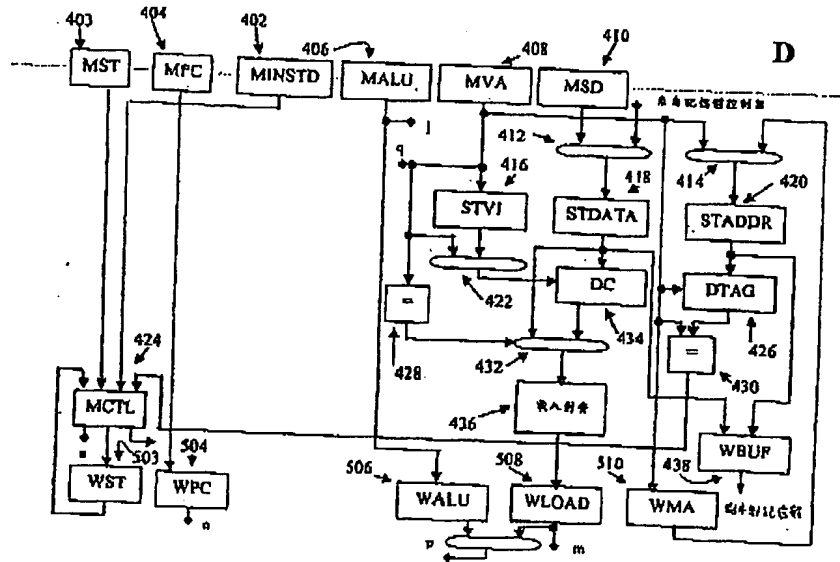
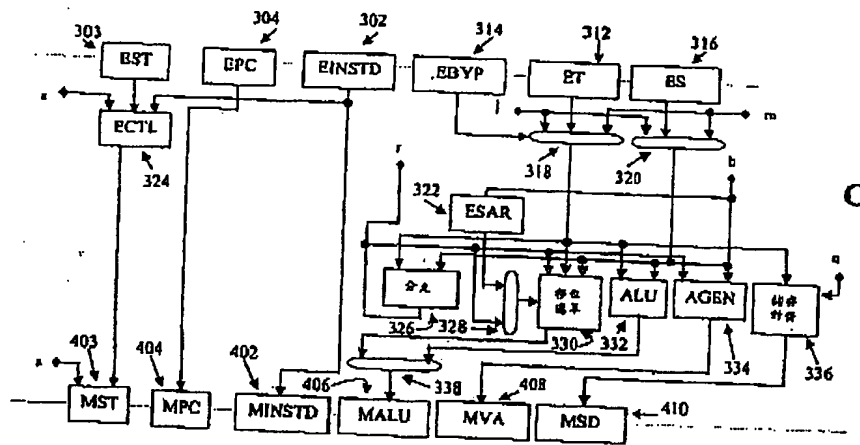
圖式簡單說明：

第一圖A-第一圖D係一處理器根據本發明之一較佳實施例執行一指令集之方塊圖。



第一圖

(6)



第一圖